

KOREAN PATENT ABSTRACT (KR)

Patent Laid-open Publication

(51) Int. Cl.: H04N 5/232

(11) Publication No.: 10-0179676

(45) Publication Date: 1 May 1999

(21) Application No.: 10-1994-0013842

(22) Application Date: 20 June 1994

(73) Applicant:

Canon Kabushiki Kaisha
(Tokyo, Japan)

(72) Inventor:

Yamada, kunihiro

(54) Title of the Invention:

Video Camera and Method of Controlling the Same

Abstract:

A video camera is provided in which an effective image plane is not affected even if a command to write data is supplied from a microcomputer to a signal processing portion in an effective video period. A plurality of control registers are provided in an interface portion. If a command to write data is supplied from the microcomputer to the signal processing portion in an effective video period for a video signal, data, which must be transferred, and address are temporarily stored in the registers and the stored signals are transferred to the signal processing portion in a retrace line period for a next video signal. As a result of the structure, data is written on the signal processing portion in the retrace line period for the next video signal even if the command to write data is supplied from the microcomputer to the signal processing portion. Therefore, if data different from the data which must be transferred is supplied from the microcomputer to the register on which the data for the signal processing portion has been written, the effective image plane is not affected.

[발명의 명칭]

비디오캐메라 및 그 제어방법

[도면의 간단한 설명]

제1도는 종래의 구조를 도시한 블록도.

제2a도~제2c도는 일반도작의 타이밍차트.

제3도는 본 발명의 제1 실시예의 구조를 도시한 블록도.

제4도는 제1 실시예의 타이밍차트.

제5도는 본 발명의 다른 실시예의 타이밍차트.

제6도는 본 발명의 제2 실시예의 구조를 도시한 블록도.

제7도는 본 발명의 제3 실시예의 구조를 도시한 블록도.

제8도는 본 발명의 제3 실시예의 타이밍차트.

제9도는 본 발명의 제4 실시예의 구조를 도시한 블록도.

제10a도, 제10b도는 제4 실시예의 타이밍차트.

* 도면의 주요부분에 대한 부호의 설명

1 : 렌즈

2 : 촬상소자

3 : A/D변환기

4 : 신호처리부

5 : 인터페이스부

6 : 마이크로컴퓨터

7 : D/A변환기

[발명의 상세한 설명]

본 발명은 영상신호를 디지털연산처리하는 비디오캐메라에 관한 것이다.

영상신호를 디지털연산처리하는 종래의 비디오캐메라(이하, 디지털캐메라라 한다)에 있어서, 논리연산부(이하, 마이크로컴퓨터라 한다)와 신호처리부간의 데이터통신을 제1도 및 제2a도~제2c도와 관련하여 설명한다.

제1도는 종래의 디지털캐메라의 구성을 도시한 블록도, 제2a도~제2c도는 마이크로컴퓨터와 인터페이스부의 통신상태를 나타내는 타이밍차트이다.

제1도와 관련하여, (1)은 렌즈, (2)는 렌즈(1)에 의해 투영된 피사체상을 전기신호로 변환하는 촬상소자, (3)은 촬상소자(2)에서 공급된 영상신호를 디지털신호로 변환하는 A/D변환기, (4)는 메탈로그신호에서 변환된 디지털신호를 연산처리하는 신호처리부, (5)는 신호처리부(4)에 내재된 데이터레지스터의 데이터를 판독하거나 기록하는 인터페이스부, (6)는 인터페이스부(5)로 판독한 데이터를 받아들여 소정방법으로 데이터를 처리하거나 인터페이스부(5)에 기록되는 데이터를 전송하는 마이크로컴퓨터, (7)은 연산처리된 영상신호를 메탈로그신호로 변환하는 D/A변환기를 나타낸다.

신호처리부(4)에 있어서, (411)~(41n)은 인터페이스부(5)에 의해 마이크로컴퓨터(6)에서 받아들인 데이터를 기록하는 기록레지스터이며, 이를 레지스터(411)~(41n)에 저장되는 데이터는, 신호처리부(4)에 있어서 영상신호를 처리하는 과정에서 필요한 데이터(예를 들어, ABC신호의 개인, 화이트밸런스의 R, G, B신호의 개인, 자동조점영의 설정치등)이다. (421)~(42n)은 신호처리부(4)에 데이터를 저장하여 마이크로컴퓨터(6)에 전송하기 위한 판독레지스터, (43)은 판독레지스터(421)~(42n)의 각각에 데이터가 저장되었는가 아닌가의 상태를 각 레지스터마다 출력하는 스테이터스레지스터, (44)는 각각의 판독레지스터의 로드신호 L₁~L_n에서 개입중단신호를 얻는 OR회로, (45)는 데이터선택기이다. 상기 각각의 레지스터는 클럭을 받아들일 경우 데이터를 시리얼로 입력/출력할 수 있는 시프트레지스터이다. (46)은 신호처리를 할하는 과정에 있어서 적당한 타이밍으로 각 레지스터에 로드신호를 발생하는 타이밍발생기이다.

렌즈(1)에 의해 투영된 피사체상은 촬상소자(2)에 의해 전기신호로 변환되며, A/D변환기(3)에 의해 디지털신호로 변환되어 신호처리부(4)로 전송된다. 신호처리부(4)는 A/D변환기(3)에서 입력된 디지털신호를 처리할 때 필요한 데이터를 마이크로컴퓨터(6)에서 인터페이스부(5)를 거쳐하여 받아들인다. 마이크로컴퓨터(6)에서는 데이터를 산출하기 위해 필요한 데이터를 인터페이스부(5)를 거쳐하여 신호처리부(4)로부터 받아들인다.

제2a도~제2c도는 마이크로컴퓨터(6)와 인터페이스부(5)간의 시리얼통신의 타이밍차트이다. 이 통신은 제1도에 블록라인의 CLK, 기록데이터라인 DR, 판독데이터라인 DR, 및 데이터판독모드 혹은 데이터기록모드 혹은 머드레시징모드를 선택하는 MODE라인을 통해 행해진다.

[머드레시징]

제2a도에 도시한 바와 같이, 머드레시징모드정보가 MODE라인을 통하여 마이크로컴퓨터(6)에서 인터페이스부(5)는 CLK라인을 거쳐하여 마이크로컴퓨터(6)에 클럭신호를 전송한다.

마이크로컴퓨터(6)는 공급된 클럭과 동기하여 MODE라인을 통해 머드레시징신호(A0~A7)를 전송하고, 인터페이스부(5)는 머드레시징신호를 받아들여 인터페이스부(5)의 머드레시징레지스터(도시생략)에 머드레시징을 설정한다.

[데이터의 기록]

그후, 예를 들면, 제2도에 도시한 바와 같이, 마이크로컴퓨터(6)에서 MODE라인을 개재하여 데이터기록모드정보가 전송되면, 인터페이스부(5)는 어드레스지정과정과 마찬가지로 CLK라인을 개재하여 플락신호를 마이크로컴퓨터(6)에 전송한다. 마이크로컴퓨터(6)는 플락신호와 동기하여 데이터인을 개재하여 기록데이터 신호(00-07)를 전송하고, 인터페이스부(5)는 기록데이터를 받아들인다. 이때, 인터페이스부(5)는 이미 설정된 어드레스에 따라 어드레스의 레지스터에 상응하는 제1도의 RCLK1~RCLKn중의 하나에 신호를 전송하고, 상기 플락신호와 동기하여 기록라인 R0를 개재하여 기록데이터를 전송한다.

[스테이터스레지스터의 판독]

제1도에 도시한 신호처리부(4)에 있어서, 소정타이밍에서 타이밍발생기(46)로 발생한 로드신호에 의해 판독레지스터(421)~(42n)중의 하나에 로드신호 L1~Ln를 개재하여 데이터가 로드된 경우, 이 로드신호는 OR회로(44)를 통하여, 마이크로컴퓨터(6)의 개입중단신호로서 통과하고, 판독레지스터에 대응한 스테이터스레지스터(43)의 비트를 상승시키고, 이 비트는 판독레지스터에 로드된 데이터가 판독될때까지 유효된다. OR회로(44)를 통과한 로드신호는 제1도에 도시한 IR라인을 개재하여 마이크로컴퓨터(6)를 중단시킨다. 마이크로컴퓨터(6)는 어느 판독레지스터내에 데이터가 로드되었는가의 정보를 얻기위한 통신을 개시한다.

통신은 먼저 스테이터스레지스터(43)의 어드레스를, 제12도에 도시한 타이밍에서 데이터인을 통해 인터페이스부(5)에 스테이터스레지스터어드레스를 전송함으로써 설정하는 방식으로 실행된다. 다음, 제2도에 도시한 바와 같이, 마이크로컴퓨터(6)는 MODE라인을 개재하여 인터페이스부(5)에 데이터판독모드에 대한 정보를 전송한다. 인터페이스부(5)가 상기 모드정보를 받아들이면, 미리 공급된 어드레스에 따라 스테이터스레지스터(43)로부터 출력을 얻도록 데이터선택기(45)를 설정한다. 또한, 인터페이스부(5)는 스테이터스레지스터에 상응하는 제1도의 RCLK1~RCLKn을 신호처리부(4)에 전송한다. 스테이터스레지스터(43)는 플락과 동기하여 R0라인을 개재하여 인터페이스부(5)에 데이터를 전송하며, 인터페이스부(5)가 데이터를 받아들였으면, 플락신호를 제2도에 도시한 타이밍에서 CLK라인을 개재하여 마이크로컴퓨터(6)에 전송한다. 또한, 이 와 동기하여, 인터페이스부(5)는 DR라인을 개재하여 스테이터스레지스터(43)로부터 얻은 데이터를 전송한다.

[판독레지스터의 데이터의 판독]

마이크로컴퓨터(6)가 스테이터스레지스터(43)로부터 데이터를 받아들이면, 신호처리부(4)의 어느 판독레지스터가 로드된 상태로 되었는가를 판별하고, 다음, 마이크로컴퓨터(6)는 제2도에 도시한 타이밍에서 로드된 판독레지스터의 어드레스를 인터페이스부(5)에 전송한다. 인터페이스부(5)는 여기서 어드레스를 설정한다. 다음, 마이크로컴퓨터(6)는 MODE라인을 개재하여 데이터판독정보를 인터페이스부(5)에 전송하고, 이미 설정된 어드레스에 따라 데이터선택기(45)를 설정하고, 어드레스에 따라 판독레지스터에 상응하는 RCLK1~RCLKn을 전송한다. 대응하는 판독레지스터는 플락과 동기하여 데이터를 전송함으로써 인터페이스부(5)에 R0로서 전송되게 한다. 인터페이스부(5)는 데이터를 제5도에 도시한 타이밍에서 CLK라인의 플락신호와 동기하도록 하여 DR라인을 개재하여 마이크로컴퓨터(6)에 전송되도록 한다.

그러나, 영상신호의 유효기간내에 마이크로컴퓨터(6)에서 신호처리부(4)로 데이터가 전송될 경우, 데이터가 전송되는 신호처리부(4)내의 레지스터가 시프트레지스터인 경우 데이터시프트중에는 전송되어야 하는 데이터와는 다른 데이터가 전송되어 버릴지라도 된다. 이 레지스터가 영상신호의 화이트밸런스 혹은 AGC등의 신호파형에 직접 영향을 주는 레지스터이면, 화면내에 노이즈로 나타난다.

종래예에서는 신호처리부(4)에서 판독레지스터가 로드될때부터 마이크로컴퓨터(6)가 판독레지스터의 데이터를 받아들이기까지 다음의 4개의 시리얼통신을 필요로 한다.

- (1) 스테이터스레지스터(43)의 어드레스지정
- (2) 스테이터스레지스터(43)의 데이터전송
- (3) 판독레지스터의 어드레스지정
- (4) 판독레지스터의 데이터전송

그러므로, 마이크로컴퓨터의 플락이 느린 경우, 장시간을 소비하고, 영상신호의 처리속도가 낮아진다. 즉, 카메라의 광학계의 초점상태를 조절하는 자동초점의 경우등 그 응답성이 열화되고, 광학계의 입사광량을 조절하는 자동아이리스 등의 응답성이 나쁘게 된다고 하는 문제점이 발생한다.

본 발명의 목적은, 화면으로 부터 신호처리부의 내부레지스터에 기인한 노이즈발생을 제거할 수 있고, 영상신호의 처리속도를 상승시켜, 예를 들면, 카메라의 광학계의 초점상태를 조절하는 자동초점, 혹은 광학계에 대한 입사광량을 조절하는 자동아이리스의 응답성을 향상시킬 수 있는 비디오카메라 및 그 제어방법을 제공하는 것이다.

상기 목적을 달성하기 위하여, 본 발명의 일측면에 의하면, 디지털화된 영상신호를 소정의 제어데이터에 따라 처리하는 신호처리수단; 제어데이터를 저장하는 저장수단; 영상수단의 귀선기간내에 영상신호에 영향을 주는 적어도 제어데이터를 저장수단내에 기록하는 기록수단을 구비한 것을 특징으로 하는 영상신호를 디지털처리하는 비디오 카메라가 제공된다.

본 발명의 다른 측면에 의하면, 촬영면에 의해 투영된 피사체상을 촬상소자에 의해 전기신호로 변환하고, 그 영상신호를 A/D변환하여 신호처리부에서 디지털신호 처리를 하고, 신호를 D/A변환하여 규칙화된 영상신호를 얻는 비디오카메라에 있어서, 신호처리부를 제어하는 데이터를 연산하는 마이크로컴퓨터; 신호처리부와 각각의 내부데이터레지스터사이에서, 복수의 비트의 디지털신호를 1워드의 데이터로서 취급하도록 제어데이터의 통신을 할하도록 마이크로컴퓨터와 신호처리부 사이에 개재된 인터페이스부에 배치된 복수의 제어레지스터; 영상신호의 유효영상기간내에 논리연산부에서 신호처리부로 공급되어야 하는 제어데이터가 전송된 경우에, 일시적 제어레지스터가 전송된 제어데이터를 제어데이터의 수신어드레스와 함께 저장하고, 다음에 오는 영상신호의 귀선기간내의 어드레스에 대응하는 신호처리부의 레지스터에 전송데이터를 전송하는 전송제어수단을 구비한 것을 특징으로 하는 비디오카메라가 제공된다.

인터페이스부는 제어데이터가 저장된 제어레지스터의 수를 카운트하는 카운터; 이 카운터값에 따라 모든 제어레지스터에 전송데이터 및 수신 어드레스가 전송 및 축적되지 않는 경우 마이크로컴퓨터에서 기록데이터에 대한 명령이 발령된때에도 다음 영상신호의 커선주기가 끝날까지 통신을 금지하는 금지수단을 구비한다.

본 발명의 다른 측면에 의하면, 복수비트의 디지털신호를 1비트의 데이터로서 취급하도록 마이크로컴퓨터와 내부데이터레지스터사이에서 통신이 행해질때 외부 관측되는 레지스터에 데이터가 기록될 경우 각각의 관측레지스터에 상응하는 비트상위가 결합되는 스테이터스레지스터; 및, 마이크로컴퓨터가 외부관측되는 레지스터의 어드레스를 설정하거나 혹은 데이터가 외부기록된 레지스터에 데이터를 전송하도록 통신이 행해질때 어드레스 혹은 데이터의 전송과 동시에 마이크로컴퓨터에서 스테이터스레지스터를 관측하는 관측수단을 구비한 것을 특징으로 하는 영상신호를 디지털연산하는 비디오카메라가 제공된다. 스테이터스레지스터는 영상신호의 동기신호의 타이밍정보를 지닌다.

상기 구성은 인터페이스부에 복수의 제어레지스터를 배치함으로써, 영상신호의 유효기간내에 마이크로컴퓨터에서 신호처리부(4)로 전송데이터에 대한 명령이 발령된 경우, 인터페이스부의 제어레지스터에 전송데이터 및 수신어드레스가 일시 저장된다. 다음 영상신호의 커선기간에서는 데이터가 신호처리부에 전송된다. 인터페이스부(5)의 모든 제어레지스터가 전송되지 않은 데이터 및 어드레스를 저장하는 경우 인터페이스부는 마이크로컴퓨터에서 인터페이스부(5)로의 기록데이터에 대한 명령이 신호처리부로 공급된 경우 다음 영상신호의 커선기간이 될때까지 통신을 위한 불락을 공급하지 않는다. 즉, 영상신호의 유효영상기간내에 신호처리부에 있어서 데이터가 기록되어 있는 레지스터의 데이터시프트중에 전송되어야 하는 데이터와 다른 데이터가 신호처리시 데이터로서 전송되어도, 유효화면에 영향을 주지 않는다.

마이크로컴퓨터와 인터페이스부사이의 통신에 있어서 마이크로컴퓨터에서 인터페이스부로 어드레스신호 혹은 데이터신호가 전송되는 경우, 통신을 위한 불락을 동기하도록 스테이터스레지스터의 데이터가 인터페이스부에서 마이크로컴퓨터에 전송됨으로써, 마이크로컴퓨터는 관측레지스터로부터 데이터를 다음 3개의 시리얼통신 결과로서 받아들이는다.

- (1) 소정어드레스의 데이터 혹은 어드레스 전송
- (2) 관측레지스터의 어드레스지정
- (3) 관측레지스터의 데이터전송

(2)와 (3)이 연속하는 경우, 이미 실행된 (3)의 통신에 의해 알려진 스테이터스레지스터의 데이터를 사용하여 다음 어드레스를 지정하므로, 데이터전송은 2개의 시리얼통신작동에 의해 끝낼 수 있다. 그 결과, 마이크로컴퓨터에 의한 시리얼통신을 단시간내에 마칠 수 있다.

제1 실시예와 관련하여 상술한 바와 같이, 인터페이스부내에 복수의 제어레지스터를 배치함으로써, 영상신호의 유효영상기간에 있어 마이크로컴퓨터(6)에서 신호처리부(4)로 전송데이터명령이 발생하면, 일시적으로 제어레지스터내에 전송데이터 및 수신측의 어드레스가 저장된다. 다음 영상신호의 커선기간에 있어서는 데이터가 신호처리부(4)에 전송되므로, 데이터전송에, 커선기간내에 신호처리부의 데이터시프트중에, 신호처리부(4)의 레지스터에 전송되어야 하는 마이크로컴퓨터(6)로부터의 데이터와 다른 경우에도, 유효화면에 영향을 주지 않는다.

제1 실시예의 구성에 부가하여, 제2 실시예는, 1유효영상기간내에 마이크로컴퓨터(6)에서 공급될 데이터기록명령에 따라 저장된 제어레지스터의 수를 카운트하는 카운터를 구비하여, 모든 제어레지스터가, 카운터로 실행된 카운트결과에 따라 전송되는 데이터 및 수신측의 어드레스를 전송없이 저장하는 경우, 불락의 공급을 금지하도록 불락을 마이크로컴퓨터(6)에서 발생하는 불락발생기에 금지명령이 공급된다. 1유효영상기간이 종료한 후 마이크로컴퓨터에 의해 데이터기록명령이 없을 경우, 카운터로 실행된 카운트결과에 따라 커선기간이 된 경우, 제어레지스터에서 신호처리부로의 데이터전송을 억제하도록 관별된다. 그 결과, 1유효영상기간내에 제어레지스터의 허용한계를 초과하는 양으로 마이크로컴퓨터로부터 데이터기록명령이 공급된 경우에도, 마이크로컴퓨터는 다음 유효영상기간이 될때까지 대기상태로 된다. 즉, 제어레지스터로부터 데이터손실을 방지할 수 있다. 모든 제어레지스터가 빈상태라면 커선기간이 되더라도 신호처리부에 대한 데이터전송능력을 방지할 수 있으므로 전력소모를 절감할 수 있다.

제2 실시예에 부가하여, 제3 실시예는, 수직커선기간내에 마이크로컴퓨터(6)로부터의 직접 데이터전송불락에 따라 데코더(53)에 의한 데이터지정이 실행되는 구성을 지닌다. 또한, 제어레지스터와 마이크로컴퓨터(6)로부터의 데이터전송사이의 수직커선기간신호(이하, VBLK라 한다)에 응답하여 신호처리부내에서 데이터출력을 기록레지스터로 결합시키도록 신호처리부(4)의 기록레지스터에 대한 데이터출력과 제어레지스터로부터의 출력시점에 스위치가 배치되어 있다. 그 결과 제어레지스터없이 수직커선기간내에 데이터통신이 실행될 것으로 불락들이 느린 마이크로컴퓨터에서도 수직커선기간내에 요구된 양의 데이터를 전송할 수가 있다.

제4 실시예와 관련하여 상술한 바와 같이, 메라인을 제거하여 마이크로컴퓨터(6)에서 인터페이스부(5)로 어드레스신호 혹은 데이터가 전송된 경우, 스테이터스의 데이터는 항상 메라인을 제거하여 마이크로컴퓨터에 전송되므로, 신호처리부(4)와 마이크로컴퓨터(6)사이의 시리얼통신동작수를 감소시킬 수 있고, 또한 스테이터스정보에 대한 HD 및 VD정보의 첨가는 적당한 타이밍에서 마이크로컴퓨터에서 신호처리부(4)내의 내부기록레지스터에 데이터를 전송되게 한다.

본 발명의 기타목적, 특징 및 이점은 본 발명의 실시예 및 첨부도면과 관련한 하기 상세한 설명을 통해 명백해진다.

[제1 실시예]

본 발명의 실시예를 제3도, 제4도, 제5도와 관련하여 설명하며, 제1도 및 제2a도-제2c도는 종래예를 도시한 것이다. 제3도는 본 실시예 구성의 블록도이고, 제4도 및 제5도는 마이크로컴퓨터(6), 인터페이스부(5a) 및 신호처리부(4)중에서 실행된 시리얼통신 타이밍을 도시한 차트이다.

제3도와 관련하여, (1)~(4) 및 (6)은 제1도에 도시한 종래예와 동일한 것이다. 인터페이스부(5a)에 있어서, (511)~(514)는 어드레스저장을 위한 제어레지스터, (521)~(524)는 데이터저장을 제어레지스터, (53)은 어드레스저장용 제어레지스터(514)로부터 출력에 따라 데이터가 전송되어야 하는 레지스터의 어드레스를 설정하며 레지스터에 대해 클럭신호를 전송하는 데코더를 나타낸다.

마이크로컴퓨터(6)는 MODE라인을 게재하여 인터페이스부(5a)에 데이터기록영역을 공급하는 한편, 인터페이스부(5a)는 제2도에 도시한 종래예와 같이 동일 통신타이밍으로 CLK라인을 게재하여 마이크로컴퓨터(6)에 클럭신호를 전송한다.

마이크로컴퓨터(6)는 클럭신호와 동기하여 인터페이스부(5a)에 데이터를 전송한다. 제4도는 종래예와 마찬가지로 통신타이밍을 나타낸 것으로, 데이터가 기록된 레지스터의 어드레스는 제4도에 도시한 통신을 할 합으로서 인터페이스부(5a)에 미리 전송되어 있다.

인터페이스부(5a)에 있어서, 상기 처리사의 마이크로컴퓨터(6)에서 받아들인 기록데이터 D₀~D₇와 이것이 기록된 레지스터의 어드레스 A₀~A₇는 제4도에 나타난 타이밍(1)과 (2)에서의 처리공정에 따라 데이터저장용 제어레지스터(521) 및 제3도에 도시한 어드레스를 저장하는 제어레지스터(514)로 일시전송되어 저장된다.

인터페이스부(5a)내의 각각의 제어레지스터는 예를 들면, 신호처리부(4)에서의 기록레지스터와 마찬가지로 시리얼입력과 병렬출력을 지닌 시프트레지스터로 이루어진다. 상기 상태에서 마이크로컴퓨터(6)에서 데이터기록명령이 공급되면, 상기 처리와 마찬가지로 레지스터(511), (521)를 제어하도록 데이터 D₀~D₇ 및 어드레스 A₀~A₇가 전송된다. 동시에, 제어레지스터(511), (514)에 미리 저장된 데이터 및 어드레스는 다음 제어레지스터(521), (522)에 시프트되도록 전송된다. 상기 데이터전송은 제4도에 도시한 타이밍에서 제3도에 도시한 클럭 ADR_CLK 및 DATA_CLK에 응답하여 실행된다.

마이크로컴퓨터(6)에서 공급된 기록데이터 및 데이터수령레지스터의 어드레스는 제어레지스터(521)~(524) 및 (511)~(514)에 저장되거나 신호처리부(4)로의 데이터전송은 행해지지 않는다. 인터페이스부(5a)에서, 일상신호의 귀선기간정보가 HBLK입력으로 부터 얻어지면, 어드레스를 저장하는 제어레지스터(511)~(514)의 어드레스정보에 따라 수신레지스터가 결정된다. 또한, 클럭라인 WCLK~WCLKn중의 어느 하나를 게재하여 클럭신호를 결정된 레지스터에만 공급한다. 클럭신호와 동기하여, 데이터 저장용 제어레지스터(521)~(524)의 데이터는 WCLK라인을 게재하여 수신레지스터(411)~(41n)중의 하나에 전송된다.

이하, 상기 과정을 제5도와 관련하여 상세히 설명한다. 상기 과정에 있어, 제3도에 도시한 데코더(53)는 제5도에 도시한 어드레스설정타이밍에서 제어레지스터(514)의 병렬출력으로 부터 어드레스정보를 받아들여 어드레스를 설정한다.

또한, 데코더(53)는 클럭라인 WCLK~WCLKn중의 하나를 선택하여 제5도에 도시한 WCLK1~WCLKn타이밍에서 상기 설정어드레스기록레지스터(411)~(41n)중의 어느하나에 한 통신을 클럭을 발생시킨다. 동시에, 데코더(53)는 제5도에 도시한 타이밍 DATA_CLK에서 제어레지스터(521)~(524)로 클럭을 공급한다. 클럭과 동기하여, 제어레지스터(524)는 제5도에 도시한 시리얼출력을 전송하고, 클럭에 응답하여 데이터출력에 따라, 데이터 D₀~D₇와 D₀~D₇는 데이터에 상응하는 어드레스 A₀~A₇ 및 A₀~A₇를 지닌 기록레지스터(514)로 수신된다.

이 경우, 유효영상기간동안 마이크로컴퓨터(6)에서 공급된 데이터 및 어드레스는 각각 2워드씩으로, 제어레지스터(511)~(514)중에서 제어레지스터(511) 및 (512)에 어드레스가 저장되면, 귀선기간개시시에 동일 레지스터중에서 제어레지스터(521), (522)에 데이터가 저장된다. 이 상태에서, 나머지 제어레지스터(513), (514), (523) 및 (524)는 비상태이므로, 데이터 및 어드레스는 초기 2워드에 대한 제5도에 도시한 전송타이밍(1), (2)시점으로 전송되어, 따라서, 기록레지스터(411)~(41n)에 데이터가 기록되지 않는다.

데이터는 종래기술과 마찬가지로 방법으로 판독레지스터 및 스테이머스 레지스터로부터 판독됨에 유의할 필요가 있다.

[제2 실시예]

1유효영상기간내에 마이크로컴퓨터(6)로부터 다수의 데이터기록명령이 발생된 경우, 제1 실시예에서는 데이터량이 인터페이스부(5a)의 제어레지스터에 대해 허용할 수 있는 양을 초과해버리는 것이 있다. 이 경우 최초로 저장된 데이터 및 어드레스에서부터 순서대로 데이터 및 어드레스의 전송이 실행될 수 없어 데이터 시프트가 발생하고, 따라서, 그 내용을 잃어버리게 된다.

이와 반대로, 유효영상기간내에 마이크로컴퓨터(6)로부터 데이터기록명령이 없으면, 다음 선기간내에 빈 데이터전송이 실행되어 바람직하지 않고, 이 경우, 상기 바람직하지 않은 동작을 실행하기 위해 전력이 소모된다.

본 실시예는 1유효영상기간내에 마이크로컴퓨터(6)로부터 발행된 데이터기록명령에 따라 저장된 제어레지스터의 수를 카운트하는 카운터를 지닌다. 카운터로 행한 카운트결과에 따라, 모든 제어레지스터가 데이터 및 수신어드레스를 전송없이 저장된 것을 판별하게 되면, 클럭을 발생하여 마이크로컴퓨터(6)에 공급되게 하는 클럭발생기에 금지명령이 발생되어 클럭공급을 금지한다. 또한, 1유효영상기간이 경과한 후에 마이크로컴퓨터(6)로부터 아무런 데이터기록명령이 없으면 카운터로 실행된 카운트결과에 따라 판별이 행해져, 제어레지스터에서 신호처리부(4)로의 데이터전송이 귀선기간이 개시된 경우에도 금지된다. 그 결과, 마이크로컴퓨터(6)는 제어레지스터의 허용량을 초과하는 양의 데이터기록명령이 1유효영상기간내에 마이크로컴퓨터(6)로부터 발행된 경우에도 다음 유효영상기간이 될때까지 대기상태로 된다. 즉, 제어레지스터의 데이터손실을 방지한다. 모든 제어레지스터가 비상태이면, 귀선기간에서도 신호처리부(4)로의 데이터전송양비가 방지되므로, 전력소모를 절감시킬 수 있다.

제6도와 관련하여 상세히 설명한다. 제6도는 블록도로서, 제1도 및 제3도와 동일부호 혹은 번호를 지닌 것은 동일기능을 지닌 것이다. 제6도와 관련하여, (54)는 어드레스저장용 제어레지스터(511)~(514) 및 데이터저장용 제어레지스터(521), (524)에 저장된 워드갯수를 카운트하는 카운터이고, (55)는 클럭신호를 발생

하는 불럭발생기이다. 어드레스지정명령 및 데이터기록명령이 마이크로컴퓨터(6)에서 인터페이스부(5b)로 공급된 경우, 어드레스 및 데이터는 제어레지스터(511), (521)로 전송된다. 이때, 카운터(54)는 어드레스 불럭신호 ADR_CLK 를 카운트하여 1유효영상기간내에 전송된 어드레스 및 데이터의 워드수를 카운트한다.

본 실시예에서, 제어레지스터는 각각 데이터 및 어드레스를 저장하기 위해 4개의 워드를 지닌다. 마이크로컴퓨터(6)가 인터페이스부(5b)에 5개 이상의 데이터기록 명령을 공급한 경우, 카운터(54)는 ADR_CLK 신호를 카운트함으로써 1유효영상기간내에 마이크로컴퓨터(6)와 제어레지스터사이의 전송동작시간수를 카운트한다. 카운트결과 4를 초과할 경우, 제6도에 도시한 불럭발생기의 금지명령이 공급된다.

금지명령에 따라, 불럭발생기(55)는 마이크로컴퓨터(6)가 인터페이스부(5b)에 데이터 기록명령 혹은 어드레스지정명령을 공급할 경우에도 전송을 위한 불럭을 발생하지 않는다. 이 경우, 마이크로컴퓨터(6)는 제어레지스터(511)-(514) 및 (521)-(524)의 데이터 및 어드레스가 신호처리부(4)에 전송될때까지 대기상태로 된다.

1유효영상기간내에 마이크로컴퓨터(6)로부터 아무런 데이터기록명령이 없을 경우, 카운터(54)로 실행된 카운트결과로 이런 사실이 판별되어 불럭 ADR_CLK 및 $DATA_CLK$ 금지명령이 발행되어 귀선기간이 개시되어도 불럭발생기(55)에 의해서 제어레지스터용 불럭신호가 발생하지 않는다. 이 경우, 제어레지스터(511)-(514)에서 신호처리부(4)로 데이터가 전송되지 않는다.

마이크로컴퓨터에서 데이터를 받는쪽에서 불럭을 발생시키는 슬레이브모드에 있어서, 불럭공급금지지는 일반적으로 마이크로컴퓨터(6)가 모든 연산동작을 중지하고, 불럭이 공급될때까지 마이크로컴퓨터(6)를 대기상태로 되게 한다. 본 실시예에서, 대기상태는 귀선기간이 개시될때까지 계속된다. 본 발명에서 마이크로컴퓨터(6)가 대기상태 동안 연산을 행하도록 할 경우는, 마이크로컴퓨터(6)와 인터페이스부(5b)사이의 입력/출력포트를 배치하여, 제어레지스터가 불럭크부를 지니는지 아닌지를 표시하는 정보를 공급하여, 제어레지스터에 불럭크부가 없다고하는 정보에 따라 판별이 행해질 경우 마이크로컴퓨터(6)가 데이터기록명령을 발행하지 않게 한다. 이 경우, 마이크로컴퓨터(6)는 대기상태에서도 다른 연산동작을 실행할 수 있다. 상기 구성은 유효영상기간동안 제어레지스터가 데이터로 채워져 있는 경우에도 판독레지스터 및 스테이티스레지스터로부터 데이터를 판독할 수 있게 해준다.

[제3 실시예]

상기 실시예는 마이크로컴퓨터(6)에서 데이터기록명령이 공급된 경우 인터페이스부(5a) 혹은 (5b)의 제어레지스터에 데이터 및 어드레스가 일시 축적되고, 다음 제어레지스터에서 신호처리부(4)로 데이터를 전송하는 구성으로, 하나의 데이터전송을 행하는데 2회의 전송을 할당 필요를 지니므로, 불럭출력 느린 형태의 마이크로컴퓨터는 때때로 수직클럭기간에 필요한 수로 데이터전송을 끝낼 수 없는 문제점이 생긴다.

본 실시예는 마이크로컴퓨터로부터 수직귀선기간동안 데이터라인을 통한 출력에 따라 데코더(23)로 어드레스의 지정을 실행하는 구성을 지니며, 더우기, 신호처리부(4)에서 기록레지스터에 공급되는 데이터출력과 제어레지스터로부터의 출력사이의 스위치가 배치되어 있다. 즉, 신호처리부(4)내의 기록레지스터에 공급되는 데이터 출력은 수직귀선기간신호(DH , VLK 와 한다)에 응답하여 제어레지스터에서의 데이터라인과 마이크로컴퓨터(6)에서의 데이터라인 사이에서 전환된다. 그 결과, 수직귀선기간 동안 제어레지스터내에 데이터출선이 실행됨으로써 마이크로컴퓨터가 낮은 불럭출력을 지닌 경우에도 수직귀선기간내에 필요한 데이터 전송이 된다.

본 실시예를 제7도 및 제8도와 관련하여 상세히 설명한다.

제7도는 본 실시예의 구성을 도시하는 블록도이고, 제8도는 마이크로컴퓨터(6)와 인터페이스부(5c)사이, 인터페이스부(5c)와 신호처리부(4)사이 실행된 타이밍 차트이다.

제7도와 관련하여, (1)-(4) 및 (6), (7)의 각요소, 신호처리부(4)의 요소, (511)-(514), (521)-(524)의 각요소 및 인터페이스부(5)의 (53)-(55)는 제6도에 도시한 것과 마찬가지로의 것들이다. (56)은 마이크로컴퓨터(6)에서의 데이터라인과 제어레지스터로부터의 데이터라인사이의 신호처리부(4)내에 기록레지스터에 접속된 데이터라인을 전환하는 스위치이다.

제7도에 도시한 인터페이스부(5c)의 데코더(53)는 VLK 신호가 영상신호의 수직귀선기간이외의 영상기간인 경우, 상기 실시예와 마찬가지로 제어레지스터(514)로부터 병렬출력을 우선하여 어드레스지정을 행하고, 이때, 스위치는 제어레지스터(524)로부터 시리얼출력을 선택한다. 상기 상태에서 데이터기록명령이 수직귀선기간이외의 영상기간내에 마이크로컴퓨터(6)에서 발행될 경우, 상기 실시예와 마찬가지로 제어레지스터(511)-(514) 및 (521)-(524)를 개재하여 처리가 실행된다.

수직귀선기간에서, 데코더(53)는 VLK 신호에 응답하여 기간을 검출하고, 마이크로컴퓨터(6)에서 직접 공급된 시리얼출력을 우선하여 어드레스를 지정한다. 제8도는 이 과정을 나타낸다. 제8도에 도시한 바와 같이 $MODE$ 라인을 개재하여 마이크로컴퓨터(6)에서 인터페이스부(5c)로 어드레스지정명령이 있을 경우, 불럭발생기(55)는 CLK 불럭을 발생한다. 마이크로컴퓨터(6)는 CLK 불럭과 동기하여 데이터를 개재하여 어드레스신호 $Aa0-Aa7$ 를 인터페이스부(5c)에 공급한다. 인터페이스부(5c)에서 데코더(53)는 제8도에 도시한 타이밍으로 어드레스를 설정한다. 어드레스 Aa 가 설정된 후에 마이크로컴퓨터(6)가 제8도에 도시한 바와 같이 데이터 기록명령을 인터페이스부(5c)에 공급할 경우, 불럭발생기(55)는 마찬가지로 CLK 라인을 개재하여 마이크로컴퓨터(6)에 불럭신호를 공급한다. 이와 동기하여, 마이크로컴퓨터(6)는 제8도에 도시한 데이터신호 $Da0-Da7$ 를 DV 라인을 개재하여 인터페이스부(5c)에 공급한다.

수직귀선기간에서, 데이터를 전송하도록 스위치(56)가 선택되어 마이크로컴퓨터(6)에서 공급된 데이터신호가 데이터라인을 개재하여 신호처리부(4)에서 기록레지스터(411)-(41n)의 각각의 시리얼입력에 직접 공급된다. 데코더(53)는 이미 설정한 어드레스 Aa 에 따라, 제8도에 도시한 불럭을 불럭라인 $CLK1-CLKn$ 을 개재하여 상기 어드레스를 지닌 신호처리부(4)내의 기록레지스터에만 공급한다. 즉, 데이터 Da (데이터 $Da0-Da7$)는 제8도에 도시한 타이밍에서 신호처리부(4)내에 선택된 기록레지스터에 기록된다.

제8도에 도시한 어드레스를 지정하는 어드레스신호 $Aa0-Aa7$ 와 데이터기록명령 $Db0-Db7$ 이 공급될 경우, 수

적귀선기간이 개시되면, 상기 처리와 마찬가지로 어드레스 Ab(Ab0~Ab7)가 설정된다. 즉, 데이터 Db(Db0~Db7)가 상응하는 어드레스의 기록레지스터에 기록된다.

마이크로컴퓨터(6)에서 신호처리부(4)로의 데이터의 직접전송기간은 수직귀선기간에 한정된 것은 아니며, 예를 들어, 자동조정동작을 행하는 영상신호정보를 얻기 위한 영역지정은, 영상화면에 있어서 지정되는 영역 이외의 기간은, 그 영역지정을 위한 기록레지스터로 데이터를 직접 전송하도록 실행할 수 있다. 상기 형태의 데이터는 유효영상기간내에서도 화면에 전송노이즈감함없이 전송된다.

그러므로, 기간이 수직귀선기간이 아니어도 설정어드레스에 따라 데이터가 판별을 하여 마이크로컴퓨터에서 신호처리부로 직접 데이터를 전송하게 하는 구성을 사용할 수도 있다.

[제4 실시예]

이하, 제4 실시예를 제9도, 제10도 및 제10b도와 관련하여 설명한다. 제9도와 관련하여, (1)~(7) 및 (4)의 각요소는 제1도에 나타난 종래예의 것과 동일하다. (60)은 데이터라인을 절환하는 스위치이다. 제10a도 및 제10b도는 마이크로컴퓨터(6)와 인터페이스부(5)사이의 시리얼통신타이밍차트이다.

판독레지스터(421)~(42n)중의 어느하나가 제9도에 나타난 신호처리부(4)에 로드된 경우, 로드된 레지스터에 상응하는 스테이터스레지스터의 비트는 온으로 되어 레지스터가 전송될 때까지 출력된다. 로드신호는 OR 회로(44)를 개재하여 마이크로컴퓨터(6)를 개입중단시킴으로서 마이크로컴퓨터(6)는 개입중단에 기인한 적당한 데이터를 전송한다. 그러므로, 데이터가 개입중단전에 설정어드레스에 기록되어야 하는 경우, 데이터가 전송된다. 기록이 필요하지 않는 경우, 적당한 어드레스지정통신에 실행된다.

인터페이스부(5)는 데이터라인스위치(60)를 스테이터스레지스터의 출력으로 절환시킨다. 데이터 혹은 어드레스를 마이크로컴퓨터(6)에서 인터페이스부(5)로 전송시키는 타이밍과 동기하여, 인터페이스부(5)는 출력(RCLKn)을 스테이터스레지스터(43)로 공급한다. 제10a도 및 제10b도에 도시한 바와 같이, 스테이터스레지스터(43)는 그 데이터를 출력과 동기하여 DR라인을 통해 마이크로컴퓨터(6)에 전송한다. 상기 처리결과, 마이크로컴퓨터(6)가 로드된 판독레지스터의 어드레스정보인, 스테이터스레지스터(43)내의 데이터를 받아들이기 위한 통신은 신호처리부(4)내에서 제10a쪽은 제10b도에 도시한 단지 1개의 시리얼통신동작에 의해 끝마칠 수 있다.

마이크로컴퓨터(6)는 스테이터스레지스터(43)내의 데이터를 받아들일 수 있고, 다음, 종래예와 마찬가지로 인터페이스부(5)로 어드레스지정통신 및 데이터전송통신으로 이루어지는 2개의 시리얼통신동작을 실행함으로써 로드된 판독레지스터내의 데이터를 받아들일 수 있다. 어드레스지정통신을 실행하기 전에 다른 판독레지스터가 로드되어 있어 마이크로컴퓨터(6)가 개입중단되어 있는 경우, 스테이터스레지스터(43)내의 데이터는 어드레스지정 통신을 실행하면서 동시에 전송된다. 그러므로, 마이크로컴퓨터(6)는 다음 판독되는 판독레지스터의 어드레스정보를 얻을 수 있다.

신호처리부(4)내의 판독레지스터의 로드가 연속하는 경우, 마이크로컴퓨터(6)는 인터페이스부(5)에 대하여 판독레지스터의 어드레스지정을 실행하면서 동시에 스테이터스레지스터로부터의 정보에 따라 다음 판독되는 판독레지스터의 어드레스정보를 얻을 수 있으므로, 1개의 판독레지스터내의 데이터는 어드레스지정통신과 데이터전송통신으로 이루어지는 단지 2개의 통신동작에 의해 끝낼 수 있다.

스테이터스레지스터(43)에 저장되는 데이터는 판독레지스터의 어드레스정보에 한정되는 것은 아니다. 예를 들어, 비디오카메라의 영상신호와 동기하여 만들어지는 수평동기신호와 수직동기신호(이하, H0 및 V0라 한다)는 신호처리과정에서 중요한 역할을 하나, 때때로, 마이크로컴퓨터(6)와의 통신은 동기신호에 대하여 타이밍을 고려하여 실행하는 편이 편리할 경우도 있다. 예를 들어, 신호개입 혹은 색바란스등을 조정하는 데이터가 마이크로컴퓨터(6)에서 신호처리부(4)로 전송되는 경우, 영상신호의 유효영상기간으로 실행된 데이터전송은 때때로 전송되어야 하는 데이터와 다른 데이터를 기록레지스터의 데이터시프트시 전송하는 것도 있어, 레지스터부는 영상화면에서 노이즈를 나타내게 하는 경우도 있다.

그러므로, 영상촬영영역에서 데이터를 전송하는 것이 적합한 몇몇 레지스터도 있다. 이런 형태의 레지스터는 마이크로컴퓨터(6)로 판별되어 데이터는 H0신호 및 V0신호의 타이밍을 고려하여 촬영영역에서 전송된다. 따라서, 레지스터의 지정 혹은 데이터전송시 스테이터스레지스터판독에서 H0 및 V0신호의 정보를 얻기 위해서 스테이터스레지스터(43)내의 전송 비트를 형성하는 것을 고려할 수 있다.

제4 실시예와 제1 실시예~제3 실시예중의 하나를 서로 조합할 수 있으며, 그 결과, 노이즈등의 영향없이 유효영상으로 기록레지스터에 데이터를 기록할 수 있고, 판독레지스터로부터 데이터를 재빨리 판독할 수 있는 비디오카메라를 제공할 수 있다.

제3 실시예에 따른 카운터를 구비하지 않은 형태의 구성도 채택할 수 있다.

(5) 청구의 범위

청구항 1

영상신호를 디지털처리하는 비디오카메라에 있어서, 명명 데이터를 저장하는 저장수단에 기억된 소정의 명명데이터에 따라서 디지털화된 영상신호를 처리하고 카메라신호처리모드를 절환시키는 카메라신호처리수단과, 상기 영상신호에 영향을 주는 적어도 상기 명명데이터를 영상신호의 귀선기간내에 상기 저장수단에 기록하는 제어수단을 구비하고, 상기 신호처리수단과 저장수단은 비디오카메라의 카메라신호처리부에 포함되는 것을 특징으로 하는 비디오카메라.

청구항 2

촬영렌즈에 의해 투영된 피사체상을 촬상소자에 의해 전기신호로 변환하고, 이 영상신호를 A/D변환하여 신호처리부에서 디지털신호를 행하고, D/A 변환하여 규격화된 영상신호를 얻는 비디오카메라에 있어서, 상기 신호처리부를 제어하는 데이터연산용 마이크로컴퓨터와, 상기 신호처리부와 각각의 내부데이터레지스터사

이에서 복수의 비트의 디지털신호를 1워드의 데이터로서 취급하도록 상기 제어데이터의 전송을 할하기 위해 상기 마이크로컴퓨터와 상기 신호처리부사이에서 개재된 인터페이스부에 배치된 복수의 제어레지스터와, 영상신호의 유호영역기간내에 논리연산부에서 상기 신호처리부로 공급되어야 하는 상기 제어데이터가 전송된 경우, 일시적으로 상기 제어레지스터가 상기 제어데이터의 수신어드레스와 함께 상기 전송된 제어데이터를 저장하고, 다음에 오는 영상신호의 커선기간내에 상기 어드레스에 상응하는 상기 신호처리부내의 레지스터에 상기 전송된 데이터를 전송하도록 하는 전송제어수단을 구비한 것을 특징으로 하는 비디오카메라.

청구항 3

제2항에 있어서, 상기 복수의 제어레지스터가 배치된 인터페이스부는, 상기 제어데이터가 저장된 상기 제어레지스터의 수를 카운트하는 카운터와, 상기 카운터값에 따라 모든 제어레지스터에 전송데이터 및 수신어드레스가 전송되지 않고 저장된 경우에, 상기 마이크로컴퓨터로부터 데이터기록영역이 있을 때에도 다음 영상신호의 커선기간이 될 때까지 통신을 금지하는 금지수단을 구비한 것을 특징으로 하는 비디오카메라.

청구항 4

제2항에 있어서, 상기 제어레지스터의 출력을 개재하여 상기 어드레스 및 상기 데이터의 상기 인터페이스부로의 전송 혹은 상기 마이크로컴퓨터에서 상기 인터페이스부로의 상기 어드레스 및 상기 데이터의 직접전송을 선택하는 선택수단을 또 구비한 것을 특징으로 하는 비디오카메라.

청구항 5

제4항에 있어서, 상기 선택수단은 적어도 수직커선기간내에 상기 마이크로컴퓨터로부터의 상기 어드레스 및 상기 데이터의 직접전송을 선택하는 것을 특징으로 하는 비디오카메라.

청구항 6

제4항에 있어서, 상기 선택수단은 소정영역기간이외의 처리기간내에 상기 마이크로컴퓨터로부터의 상기 어드레스 및 상기 데이터의 직접전송을 선택하는 것을 특징으로 하는 비디오카메라.

청구항 7

제3항에 있어서, 상기 제어레지스터의 출력을 개재하여 상기 어드레스 및 상기 데이터의 상기 인터페이스부로의 전송 혹은 상기 마이크로컴퓨터에서 상기 인터페이스부로의 상기 어드레스 및 상기 데이터의 직접전송을 선택하는 선택수단을 또 구비한 것을 특징으로 하는 비디오카메라.

청구항 8

제7항에 있어서, 상기 선택수단은 적어도 수직커선기간내에 상기 마이크로컴퓨터로부터의 상기 어드레스 및 상기 데이터의 직접전송을 선택하는 것을 특징으로 하는 비디오카메라.

청구항 9

상기 선택수단은 소정영역기간이외의 처리기간내에 상기 마이크로컴퓨터로부터의 상기 어드레스 및 상기 데이터의 직접전송을 선택하는 것을 특징으로 하는 비디오카메라.

청구항 10

제2항에 있어서, 마이크로컴퓨터와 내부데이터레지스터사이에서 복수의 비트의 디지털신호가 1워드의 데이터로서 처리되도록 통신이 행해진 경우, 외부판독레지스터에 데이터가 기록될 때 각각의 판독레지스터에 상응하는 비트상비가 절환되는 스테이터스레지스터와, 상기 마이크로컴퓨터가 상기 외부판독레지스터의 어드레스를 설정하거나 혹은 데이터가 외부기록된 레지스터에 데이터를 전송하여 통신을 실행할 경우, 상기 어드레스 혹은 상기 데이터의 전송과 동시에 상기 마이크로컴퓨터로부터 상기 스테이터스레지스터를 판독하는 판독수단을 또 구비한 것을 특징으로 하는 비디오카메라.

청구항 11

제3항에 있어서, 마이크로컴퓨터와 내부데이터레지스터사이에서 복수의 비트의 디지털신호가 1워드의 데이터로서 처리되도록 통신이 행해진 경우, 외부판독레지스터에 데이터가 기록될 때 각각의 판독레지스터에 상응하는 비트상비가 절환되는 스테이터스레지스터와, 상기 마이크로컴퓨터가 상기 외부판독레지스터의 어드레스를 설정하거나 혹은 데이터가 외부기록된 레지스터에 데이터를 전송하여 통신을 실행할 경우, 상기 어드레스 혹은 상기 데이터의 전송과 동시에 상기 마이크로컴퓨터로부터 상기 스테이터스레지스터를 판독하는 판독수단을 또 구비한 것을 특징으로 하는 비디오카메라.

청구항 12

제4항에 있어서, 마이크로컴퓨터와 내부데이터레지스터사이에서 복수의 비트의 디지털신호가 1워드의 데이터로서 처리되도록 통신이 행해진 경우, 외부판독레지스터에 데이터가 기록될 때 각각의 판독레지스터에 상응하는 비트상비가 절환되는 스테이터스레지스터와, 상기 마이크로컴퓨터가 상기 외부판독레지스터의 어드레스를 설정하거나 혹은 데이터가 외부기록된 레지스터에 데이터를 전송하여 통신을 실행할 경우, 상기 어드레스 혹은 상기 데이터의 전송과 동시에 상기 마이크로컴퓨터로부터 상기 스테이터스레지스터를 판독하는 판독수단을 또 구비한 것을 특징으로 하는 비디오카메라.

청구항 13

제7항에 있어서, 마이크로컴퓨터와 내부데이터레지스터에서 복수의 비트의 디지털신호가 1워드의 데이터로서 처리되도록 통신이 행해진 경우, 외부판독레지스터에 데이터가 기록될 때 각각의 판독레지스터에 상응하는 비트상비가 절환되는 스테이터스레지스터와, 상기 마이크로컴퓨터가 상기 외부판독레지스터의 어드레스

스를 설정하거나 혹은 데이터가 외부기록된 레지스터에 데이터를 전송하여 통신을 실행할 경우, 상기 어드레스 혹은 상기 데이터의 전송과 동시에 상기 마이크로컴퓨터로부터 상기 스테이터스레지스터를 판독하는 판독수단을 또 구비한 것을 특징으로 하는 비디오카메라.

청구항 14

영상신호를 디지털연산하는 비디오카메라에 있어서, 마이크로컴퓨터와 내부데이터레지스터사이에서 복수의 비트의 디지털신호가 1워드의 데이터로서 처리되도록 통신이 행해진 경우, 외부기록레지스터에 데이터가 기록될 때 각각의 판독레지스터에 상응하는 비트값이 결합되는 스테이터스레지스터와, 상기 마이크로컴퓨터가 상기 외부기록레지스터의 어드레스를 설정하거나 혹은 데이터가 외부기록된 레지스터에 데이터를 전송하여 통신을 실행할 경우, 상기 어드레스 혹은 상기 데이터의 전송과 동시에 상기 마이크로컴퓨터로부터 상기 스테이터스레지스터를 판독하는 판독수단을 구비한 것을 특징으로 하는 비디오카메라.

청구항 15

제14항에 있어서, 상기 스테이터스레지스터는 상기 비디오카메라의 동기신호의 타이밍정보를 지닌 것을 특징으로 하는 비디오카메라.

청구항 16

제1항에 있어서, 상기 제어수단은 수평귀선기간과 수직귀선기간을 판별하는 판별수단과, 판별결과에 따라 기록데이터의 통로를 전환시키는 전환수단을 구비한 것을 특징으로 하는 비디오카메라.

청구항 17

제1항에 있어서, 상기 제어데이터의 기록 및/또는 상기 스테이터스데이터의 판독과 동기하여 상기 신호처리수단의 스테이터스데이터내 결합을 판독하는 판독수단을 또 구비한 것을 특징으로 하는 비디오카메라.

청구항 18

영상신호를 디지털처리하는 비디오카메라에 있어서, 명령데이터를 저장하는 저장수단에 기억된 소정의 명령데이터에 따라서 디지털화된 영상신호를 처리하고, 카메라신호처리모드를 전환시키는 카메라신호처리수단과, 상기 영상신호에 영향을 주는 적어도 상기 명령데이터를 바람직하지 않은 영상신호의 처리기간내에 상기 저장수단에 기록하는 제어수단을 구비하고, 상기 신호처리수단과 저장수단은 비디오카메라의 카메라신호처리부에 포함되는 것을 특징으로 하는 비디오카메라.

청구항 19

제18항에 있어서, 상기 명령데이터의 기록 및 / 또는 상기 스테이터스데이터의 판독에 동기하여 상기 신호처리수단의 스테이터스데이터의 결합을 판독하는 판독수단을 또 구비한 것을 특징으로 하는 비디오카메라.

청구항 20

영상신호를 디지털처리하는 비디오카메라의 제어방법에 있어서, 상기 영상신호의 귀선기간을 검출하는 공정과, 상기 귀선기간내에 카메라신호처리모드를 전환하고, 상기 영상신호에 영향을 주는 적어도 명령데이터부를 전환하는 공정으로 이루어지며, 상기 명령데이터는 마이크로컴퓨터로부터 공급되어 비디오카메라의 신호처리모드를 전환시키는 것을 특징으로 하는 비디오카메라의 제어방법.

청구항 21

제20항에 있어서, 상기 전환공정에서, 수평귀선기간 및 수직귀선기간은 서로 판별되고, 판별결과에 따라 다른 공정으로 전환이 행해지는 것을 특징으로 하는 비디오카메라의 제어방법.

청구항 22

제20항에 있어서, 영상신호가 처리되는 상태를 도식한 스테이터스데이터의 결합을 검출하는 공정과, 결합된 스테이터스데이터를 판독하는 공정과, 상기 판독스테이터스레지스터에 따라 명령데이터를 연산하는 공정을 또 구비하고, 상기 검출공정은 상기 스테이터스데이터의 판독 및 / 또는 상기 명령데이터의 결합에 동기하여 행해지는 것을 특징으로 하는 비디오카메라의 제어방법.

청구항 23

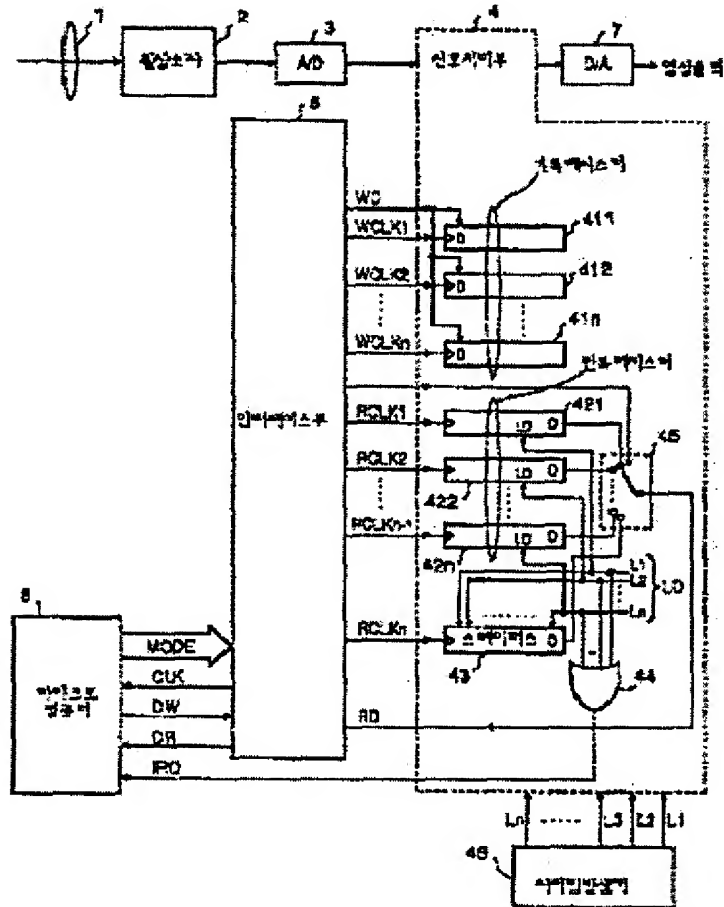
영상신호를 디지털처리하는 비디오카메라의 제어방법에 있어서, 바람직하지 않은 영상신호를 처리하는 기간을 검출하는 공정과, 상기 처리기간내에 카메라신호처리모드를 전환하고 적어도 상기 영상신호에 영향을 주는 명령데이터를 전환하는 공정으로 이루어지고, 상기 명령데이터는 마이크로컴퓨터로부터 공급되어 비디오카메라의 신호처리모드를 전환시키는 것을 특징으로 하는 비디오카메라의 제어방법.

청구항 24

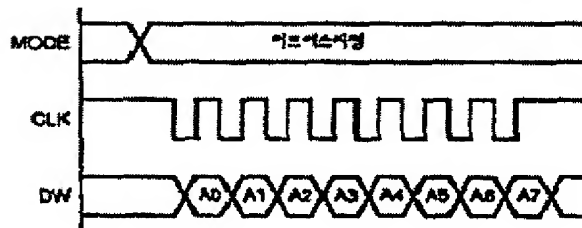
제23항에 있어서, 영상신호가 처리되는 상태를 도식한 스테이터스데이터의 결합을 검출하는 공정과, 결합된 스테이터스데이터를 판독하는 공정과, 상기 판독스테이터스 데이터에 따라서 명령데이터를 연산하는 공정을 또 구비하고, 상기 검출공정은 상기 스테이터스데이터의 판독 및 / 또는 상기 명령데이터의 결합에 동기하여 실행되는 것을 특징으로 하는 비디오카메라의 제어방법.

도면

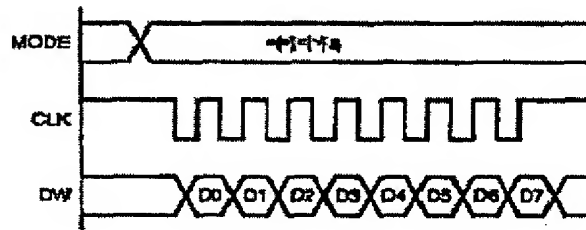
도면1



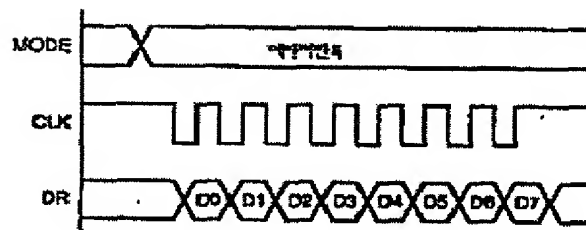
도면2



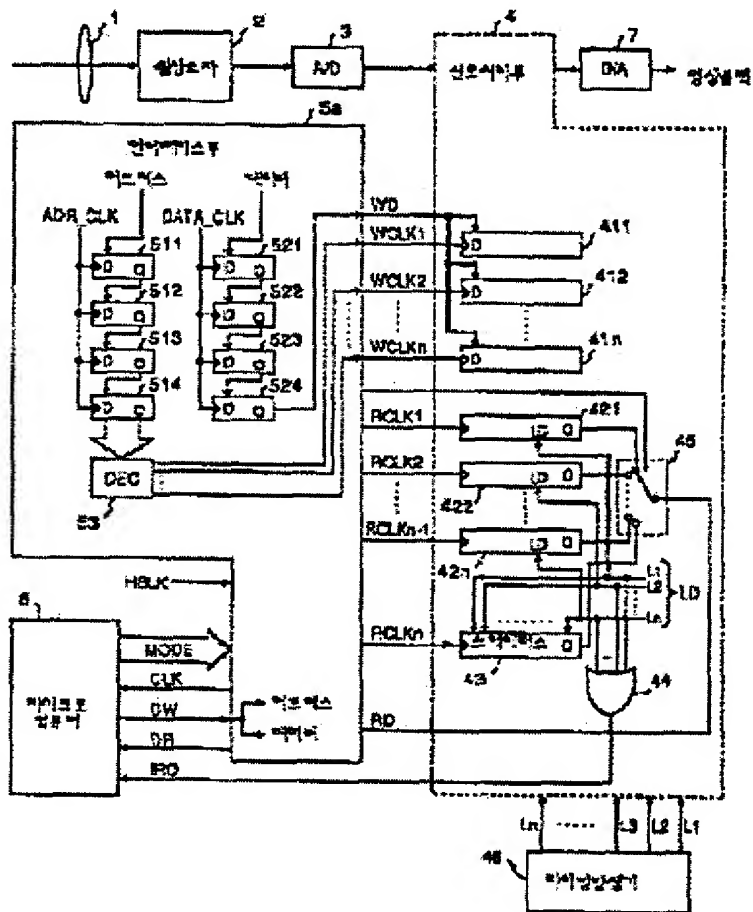
도면 2b



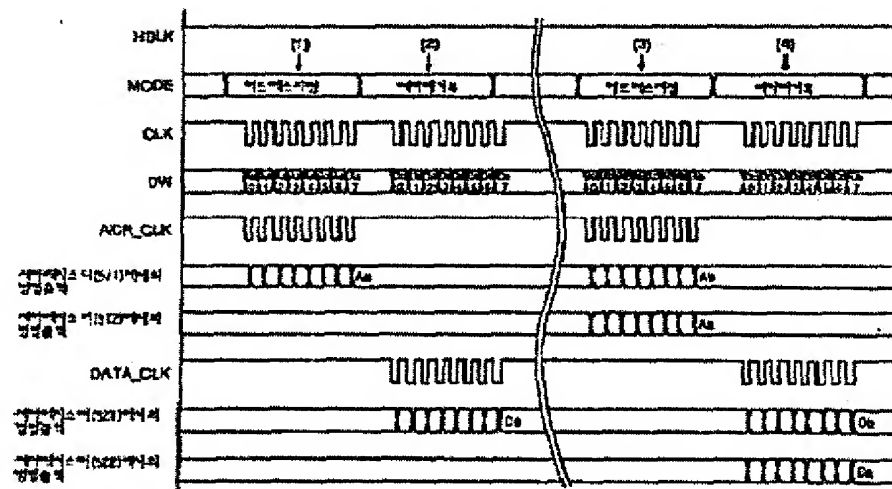
도면 2c



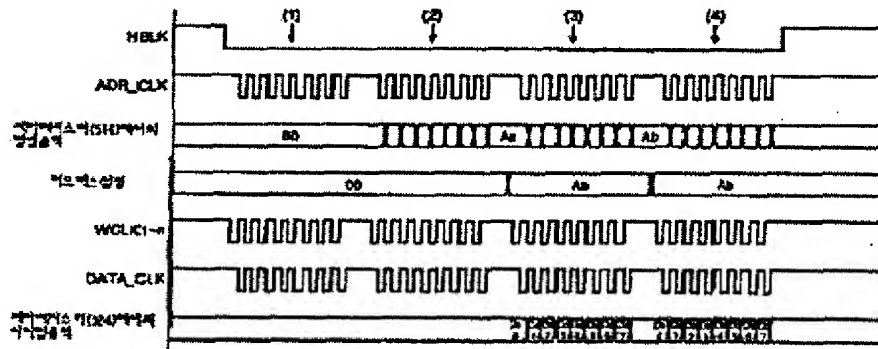
도 13



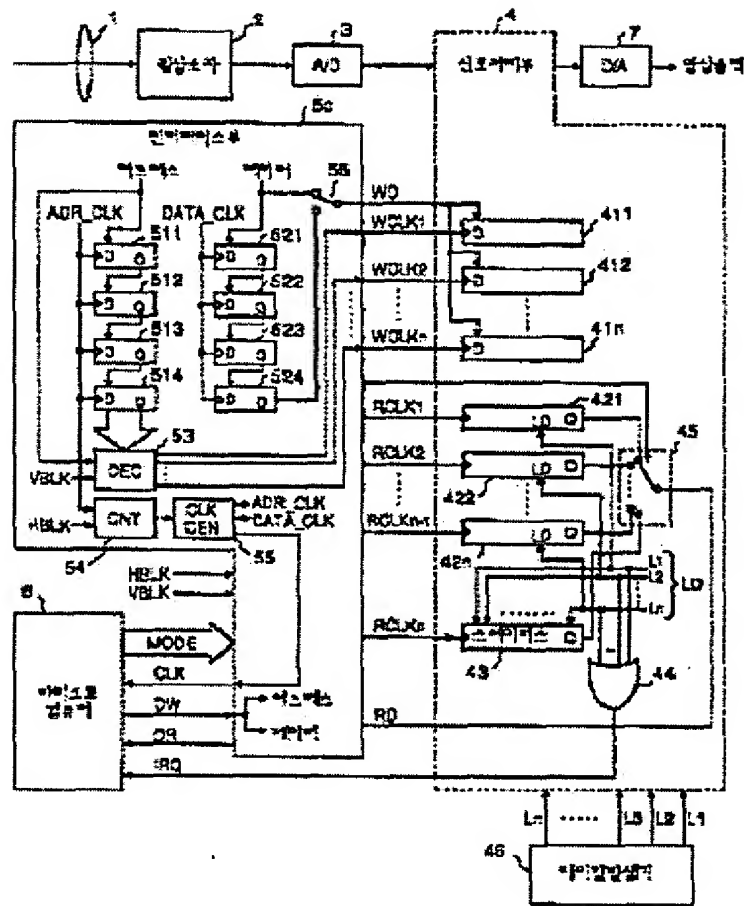
END



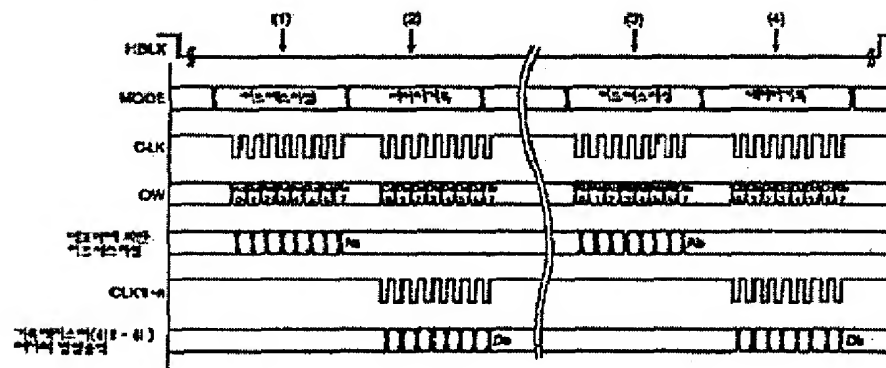
END



도 17



도 18



도면 10b

